

PAT 1002 C

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereun

申請日：西元 2003 年 05 月 13 日  
Application Date

申請案號：092112920  
Application No.

申請人：國立交通大學  
Applicant(s)

CERTIFIED COPY OF  
PRIORITY DOCUMENT

局長

Director General

蔡練生

發文日期：西元 2003 年 7 月  
Issue Date

BEST AVAILABLE COPY 發文字號：09220690310  
Serial No.

# 發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：\_\_\_\_\_ ※IPC 分類：\_\_\_\_\_

※ 申請日期：\_\_\_\_\_

## 壹、發明名稱

(中文) 利用熱回流光阻技術製造奈米級閘極於半導體裝置中之方法

(英文) METHOD FOR FABRICATING NANOMETER GATE IN SEMICONDUCTOR  
DEVICE USING THERMALLY REFLOWED RESIST TECHNOLOGY

## 貳、發明人 (共 2 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 張翼

(英文) Edward Y. Chang

住居所地址：(中文) 新竹市科學園區湖濱二路 38 號 1F

(英文) \_\_\_\_\_

國籍：(中文) 中華民國

(英文) Taiwan R.O.C.

## 參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 國立交通大學

(英文) National Chiao Tung University

住居所或營業所地址：(中文) 新竹市大學路 1001 號

(英文) 1001 Ta-Hsueh Rd., Hsinchu, Taiwan R.O.C.

國籍：(中文) 中華民國

(英文) Taiwan R.O.C.

代表人：(中文) 張俊彥

(英文) \_\_\_\_\_

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人   2  

姓名：(中文) 李晃銘

(英文) Huang-Ming Lee

住居所地址：(中文) 嘉義縣六腳鄉雙涵村 2 鄰 18-2 號

(英文) \_\_\_\_\_

國籍：(中文) 中華民國

(英文) Taiwan R.O.C.

## 肆、中文發明摘要

本發明有關一種利用熱回流光阻技術製造奈米級閘極於半導體裝置中之方法，包含下列步驟(i)利用一光阻塗佈機依序旋塗兩層光阻於一基板之上，其中該兩層光阻之一底層光阻係對電子束比較不敏感但解析度較高之一高分子光阻，及該兩層光阻之一頂層光阻係對電子束比較敏感但解析度較低之另一高分子光阻；(ii)藉一熱盤來加熱該兩層光阻，使該兩層光阻硬化；(iii)藉一高加速電壓之電子束微影技術，以直寫方式在該兩層光阻上曝射出形成閘極之光阻圖案；(iv)利用顯影劑及蝕刻劑顯影及蝕刻出該閘極之凹洞；(v)以電子槍蒸鍍技術在該閘極凹洞處鍍上一層金屬層；以及(vi)去除該等光阻以形成閘極，其特徵在於蝕刻出該閘極之凹洞後，以熱盤加熱方式回流該等光阻，透過適當的加熱時間及溫度，使該閘極之凹洞形成所需之奈米級寬度。

## 伍、英文發明摘要



陸、(一)、本案指定代表圖爲：第1圖

(二)、本代表圖之元件代表符號簡單說明：

- |   |               |
|---|---------------|
| 1 | 砷化鎵 (GaAs) 基板 |
| 2 | 底層光阻          |
| 3 | 頂層光阻          |
| 4 | 凹洞            |
| 5 | 閘極金屬          |

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：\_\_\_\_\_

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

4. \_\_\_\_\_

5. \_\_\_\_\_

6. \_\_\_\_\_

7. \_\_\_\_\_

8. \_\_\_\_\_

9. \_\_\_\_\_

10. \_\_\_\_\_

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

### 1.發明所屬之技術領域

本發明有關一種利用熱回流光阻技術製造奈米級閘極於半導體裝置中之方法，且更特別地，有關一種結合電子束微影術及熱回流光阻技術製造奈米級閘極之方法，其可簡化製程步驟之複雜度而有效地提高產能及降低生產成本。

### 2.先前技術

習知地，爲了提高高頻元件之諸如提高截止頻率及最大共振頻率的性能，除了成長高電子遷移率之元件結構外，縮小閘極寬度也是另外方法，而奈米微影術便成爲製作此一結構不可或缺之關鍵技術。

例如 Yoshimi Yamashita, Akira Endoh, Keisuke Shinohara, Masataka Higashiwaki, Kohki Hikosaka and Takashi Mimura: IEEE Electron Device Lett. 22(2001)367, 命名爲 "在 400GHz 截止頻率範圍內超短 25 奈米閘極晶格匹配之 InAlAs/InGaAs HEMTs(Ultra-Short 25-nm-Gate Lattice-Matched InAlAs/InGaAs HEMTs within the Range of 400GHz Cutoff Frequency)"之文獻中發表：操作於毫米波(30 至 300GHz)及次毫米波(300GHz 至 3THz)頻率範圍中之高性能裝置將爲未來通訊系統之主要元件。InP 基之 InAlAs/InGaAs 高電子遷移率電晶體(HEMTs)係最有前途之候選者，因爲此材料系統將提供高的電子遷移率，高的飽和速度，及高的片電子密度(sheet electron densities)，



在 FETs(場效電晶體)及 HEMTs 中，高速率特性可主要地藉降低閘極寬度予以取得。

然而，如上述地，由於閘極寬度很短，有可能不易黏附於基板表面，容易脫落，而如何能使它牢固附著於基板，成為另外一項研究重點，另外閘極的形狀對元件直流特性及高頻特性的影響，亦值得探討，惟此二主題並非本說明書所針對之課題。

因此，有必要發展出一種次微米級，亦即，奈米級之閘極的製造方法，其可製造小於 0.1 微米(奈米級)線寬，而有效避免使用極昂貴之黃光微影設備或小於 0.1 微米極高技術層次之製程，即可達到微小線寬製作，可有效降低生產成本，並簡化製程之複雜度。

### 3.發明內容

鑑於上述問題，本發明之目的在於提供一種利用熱回流光阻技術製造奈米級閘極於半導體裝置中之方法，其可利用簡單的加熱製程，即可製作小於 0.1 微米之奈米級線寬之閘極，而有效地避免使用昂貴設備及高技術層次之製程，即可達到微小的線寬製造，可簡化製程複雜度，降低生產成本，及提高產能，其中該方法係結合電子束微影術及熱回流光阻技術而製作出奈米級閘極。

為達成上述目的，根據本發明之一觀點，提供一種利用熱回流光阻技術製造奈米級閘極於半導體裝置中之方法，包含下列步驟：

(i)利用一光阻塗佈機依序旋塗兩層光阻於一基板之

上，其中該兩層光阻之一底層光阻係對電子束比較不敏感但解析度較高之一高分子光阻，及該兩層光阻之一頂層光阻係對電子束比較敏感但解析度較低之另一高分子光阻；

(ii)藉一熱盤來加熱該兩層光阻，使該兩層光阻硬化；

(iii)藉一高加速電壓之電子束微影技術，以直寫方式在該兩層光阻上曝射出形成閘極之光阻圖案；

(iv)利用顯影劑及蝕刻劑顯影及蝕刻出該閘極之凹洞；

(v)以電子槍蒸鍍技術在該閘極凹洞處鍍上一層金屬層；以及

(vi)去除該等光阻以形成閘極，

其特徵在於蝕刻出該閘極之凹洞後，以熱盤加熱方式回流該等光阻，透過適當的加熱時間及溫度，使該閘極之凹洞形成所需之奈米級寬度。

進一步地，根據本發明之上述觀點，其中該底層光阻為 PMMA(聚甲基丙烯酸甲酯)光阻或 LOR(離陸光阻)。

又進一步地，根據本發明之上述觀點，其中該頂層光阻為 P(MMA-MAA)(甲基丙烯酸甲酯-甲基丙烯酸共聚物)光阻或 PMGI(聚二甲基戊二醯亞胺)光阻。

更進一步地，根據本發明之上述觀點，其中該金屬係 Ti/Pt/Au 蕭基金屬。

仍進一步地，根據本發明之上述觀點，其中以熱盤加熱方式回流該等光阻之加熱時間及溫度為 75 秒，125℃，及採用底部加熱方式。

再進一步地，根據本發明之上述觀點，其中該底層光阻及頂層光阻之加熱溫度分別為  $250^{\circ}\text{C}$  及  $180^{\circ}\text{C}$ ，加熱時間各為 3 分鐘。

仍又進一步地，根據本發明之上述觀點，其中該去除該等光阻之步驟係採用丙酮去除該等光阻。

再仍進一步地，根據本發明之上述觀點，其中該閘極之凹洞為 T 型之形狀。

又再進一步地，根據本發明之上述觀點，其中該基板為砷化鎵 (GaAs) 基板。

又更進一步地，根據本發明之上述觀點，其中該顯影劑為 MIBK:IPA=1:3 之高解析度顯影劑。

還更進一步地，根據本發明之上述觀點，其中該等光阻可為含 PMMA、LOR、PMGI、P(MMA-MAA) 之至少兩層的多層光阻結構。

#### 4. 實施方式

在下文中，將參照圖式詳細描述本發明之較佳實施例，其中相同符號代表相同元件。惟，熟習本項技術者應理解的是，該實施例僅係用於描繪本發明，而不需解讀為限制本發明之範圍。應注意地，舉凡與該實施例等效之修正及變化，均應視為涵蓋於本發明之範疇內。

參閱第 1(a) 至 1(d) 圖，顯示根據本發明之奈米級閘極製造方法之一結構性實施例的製程步驟；以及參閱第 2 圖，顯示根據本發明該實施例之方法流程圖。首先，在第 2 圖之步驟 S1 中，製備一諸如砷化鎵 (GaAs) 基板 1，惟本發明

並未受限於基板種類，例如大致地可使用於製造半導體裝置之基板均可根據本發明予以實施；在步驟 S2 及 S3 中，以光阻塗佈機將兩層光阻結構依序旋塗及烘乾於該砷化鎵基板上，底層光阻 2 為對電子束比較不敏感但解析度較高之高分子光阻，聚甲基丙烯酸甲酯 (PMMA)，頂層光阻 3 為對電子束比較敏感但解析度較低之另一高分子光阻，甲基丙烯酸甲酯-甲基丙烯酸共聚物 (P(MMA-MAA))，為了得到更好的光阻解析度，該兩層光阻分別以熱盤加熱使光阻硬化，其加熱的溫度分別為 250℃ 及 180℃，時間各為 3 分鐘，如第 1(a)圖中所示之結構，惟本發明亦未受限於光阻種類，例如聚二甲基戊二醯亞胺 (PMGI)，及離陸光阻 (LOR) 亦可使用以分別置換該 P(MMA-MAA)，及 PMMA 光阻。

接下來，在步驟 S4 中，使用 40000V 加速電壓之電子束微影系統，以直寫的方式，在該兩層光阻上，曝射出形成 T 型閘極之光阻結構，再於步驟 S5 中，利用高解析度之顯影劑 (MIBK:IPA=1:3)，顯影及蝕刻出 T 型凹洞 4，如第 1(b)圖中所示之結構，其中採用 T 型閘極結構係為使下端之線寬最小而上端之閘極接點最大。

接著，在步驟 S6 中，以熱盤加熱方式回流該等光阻，透過適當的加熱時間及溫度(較佳地，加熱時間及溫度分別為 75 秒及 125℃)，惟本發明並未受限於此等條件，且本發明亦未受限於熱盤 (hot plate) 加熱，亦可採用烘爐 (oven) 加熱，而形成所需要的奈米級閘極寬度，如第 1(c)圖中所示。

最後，在步驟 S7 中以電子槍蒸鍍系統蒸鍍或金屬沈積一

諸如 Ti/Pt/Au 蕭基金屬，以及在步驟 S8 中，執行離陸 (Lift-off) 過程，以丙酮去掉多餘的光阻及金屬，便可得到奈米級閘極寬度之閘極，如第 1(d) 圖中所示。

如上述地，根據本發明，結合電子束微影術及熱回流 (Thermal reflow) 光阻技術，利用簡單的加熱製程 (例如熱盤或烘爐加熱方式) 來回流光阻，即可製作小於 0.1 微米 (即，奈米級) 線寬，藉此，可有效地簡化製程複雜度及降低生產成本，進一步地，藉減少閘極尺寸，可使半導體裝置獲得更高的截止頻率 (cut-off frequency) 及更大的振盪頻率 (oscillation frequency)。

第 3 至 5 圖係發明人根據上述本發明觀點所據以實施之例子。其中第 3 圖係橫截面圖，顯示根據本發明方法，於執行熱回流前之光阻的電子顯微鏡圖，其中閘極凹洞之寬度約為 163.1 奈米，如圖中 \*X 所示；第 4 圖係橫截面圖，顯示根據本發明方法，於執行熱回流後之光阻的電子顯微鏡圖，其中該閘極凹洞之寬度約為 30.59 奈米；第 5 圖係橫截面圖，顯示根據本發明方法所完成之奈米級閘極金屬電極的電子顯微鏡圖，其中蒸鍍後之該閘極金屬的線寬為 50.0 奈米。

第 6 圖係圖形，顯示根據本發明之熱回流時間及溫度對閘極臨界尺寸 (C.D.) 之關係，其中可透過良好控制之熱盤加熱時間及溫度，使光阻熱回流取得所需之奈米級寬度的閘極凹洞來配合進一步之製程。

以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍

及說明書內容所作之簡單的等效變化與修飾，皆應仍屬本發明專利涵蓋之範圍。

#### 5.圖式簡單說明

第 1(a)至 1(d)圖顯示根據本發明方法之一實施例的製程步驟；

第 2 圖係流程圖，顯示根據本發明實施例之方法流程；

第 3 圖係橫截面圖，顯示根據本發明方法，於執行熱回流前之光阻的電子顯微鏡圖；

第 4 圖係橫截面圖，顯示根據本發明方法，於執行熱回流後之光阻的電子顯微鏡圖；

第 5 圖係橫截面圖，顯示根據本發明方法所完成之奈米級閘極的電子顯微鏡圖；以及

第 6 圖係圖形，顯示根據本發明之熱回流時間及溫度對閘極臨界尺寸(C.D.)之關係。

#### 主要部分之代表符號說明

- |   |         |
|---|---------|
| 1 | GaAs 基板 |
| 2 | 底層光阻    |
| 3 | 頂層光阻    |
| 4 | 凹洞      |
| 5 | 閘極金屬    |

## 拾、申請專利範圍

1. 一種利用熱回流光阻技術製造奈米級閘極於半導體裝置中之方法，包含下列步驟：

(i)利用一光阻塗佈機依序旋塗兩層光阻於一基板之上，其中該兩層光阻之一底層光阻係對電子束比較不敏感但解析度較高之一高分子光阻，及該兩層光阻之一頂層光阻係對電子束比較敏感但解析度較低之另一高分子光阻；

(ii)藉一熱盤來加熱該兩層光阻，使該兩層光阻硬化；

(iii)藉一高加速電壓之電子束微影技術，以直寫方式在該兩層光阻上曝射出形成閘極之光阻圖案；

(iv)利用顯影劑及蝕刻劑顯影及蝕刻出該閘極之凹洞；

(v)以電子槍蒸鍍技術在該閘極凹洞處鍍上一層金屬層；以及

(vi)去除該等光阻以形成閘極，

其特徵在於蝕刻出該閘極之凹洞後，以熱盤加熱方式回流該等光阻，透過適當的加熱時間及溫度，使該閘極之凹洞形成所需之奈米級寬度。

2. 如申請專利範圍第 1 項之方法，其中該底層光阻為 PMMA (聚甲基丙烯酸甲酯)光阻或 LOR(離陸光阻)。

3. 如申請專利範圍第 1 項之方法，其中該頂層光阻為

P(MMA-MAA)(甲基丙烯酸甲酯-甲基丙烯酸共聚物)或

PMGI(聚二甲基戊二醯亞胺)光阻。

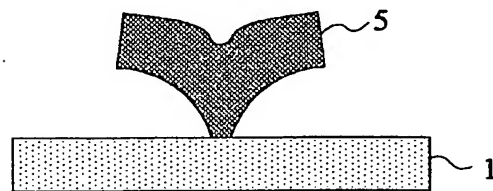
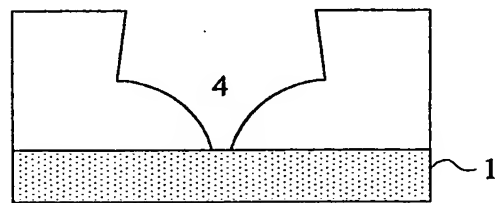
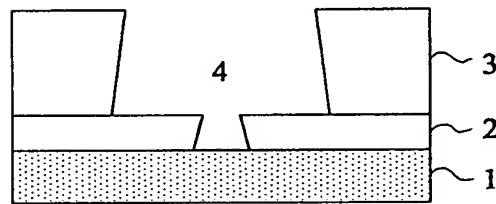
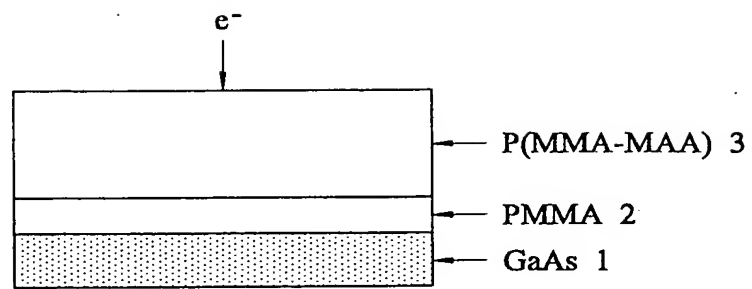
4. 如申請專利範圍第 1 項之方法，其中該金屬係 Ti/Pt/Au

肅基金屬。

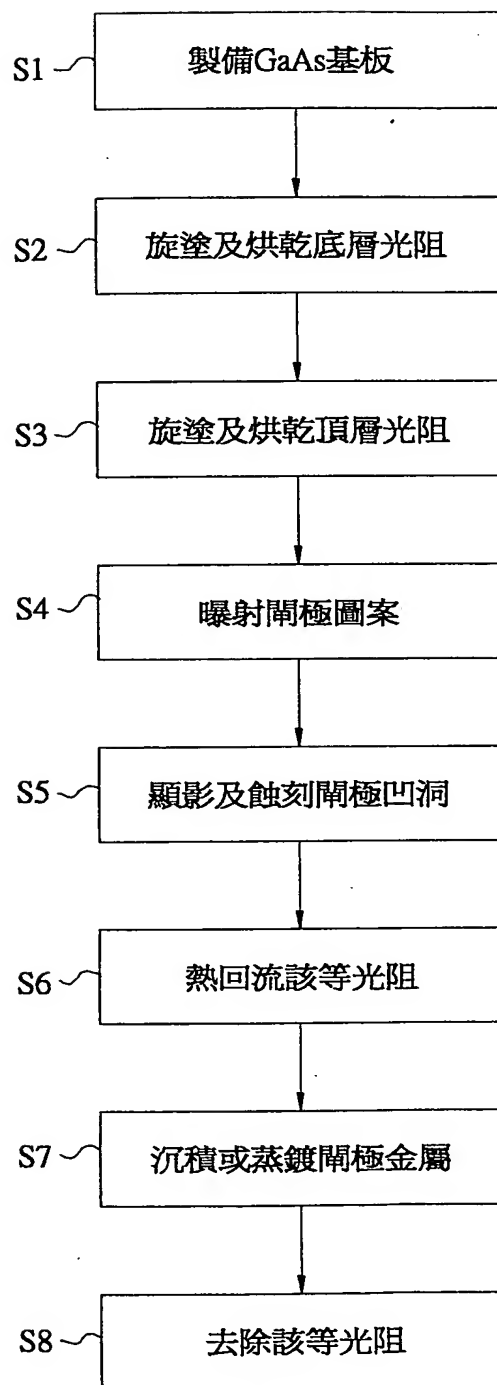
5. 如申請專利範圍第 1 項之方法，其中以熱盤加熱方式回流該等光阻之加熱時間及溫度為 75 秒，125℃，及採用底部加熱方式。
6. 如申請專利範圍第 1 項之方法，其中該底層光阻及頂層光阻之加熱溫度分別為 250℃ 及 180℃，加熱時間各為 3 分鐘。
7. 如申請專利範圍第 1 項之方法，其中該去除該等光阻之步驟係採用丙酮去除該等光阻。
8. 如申請專利範圍第 1 項之方法，其中該閘極之凹洞為 T 型之形狀。
9. 如申請專利範圍第 1 項之方法，其中該基板為砷化鎵 (GaAs) 基板。
10. 如申請專利範圍第 1 項之方法，其中該顯影劑為 MIBK:IPA=1:3 之高解析度顯影劑。
11. 如申請專利範圍第 1 項之方法，其中該等光阻可為含 PMMA、LOR、PMGI、P(MMA-MAA) 之至少兩層的多層光阻結構。



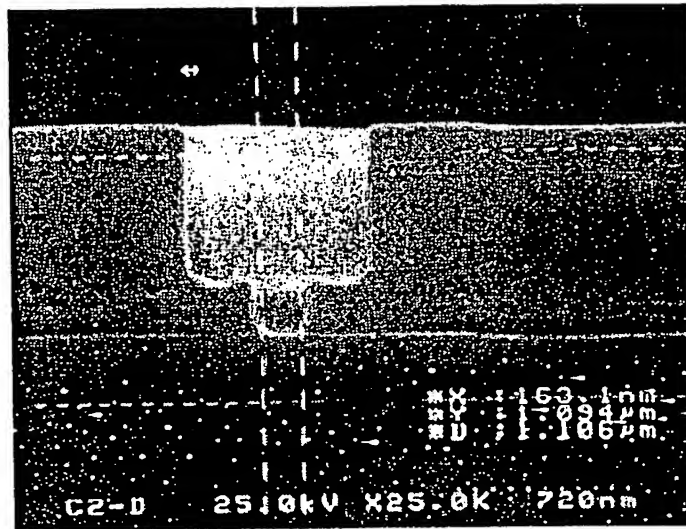
拾壹、圖式



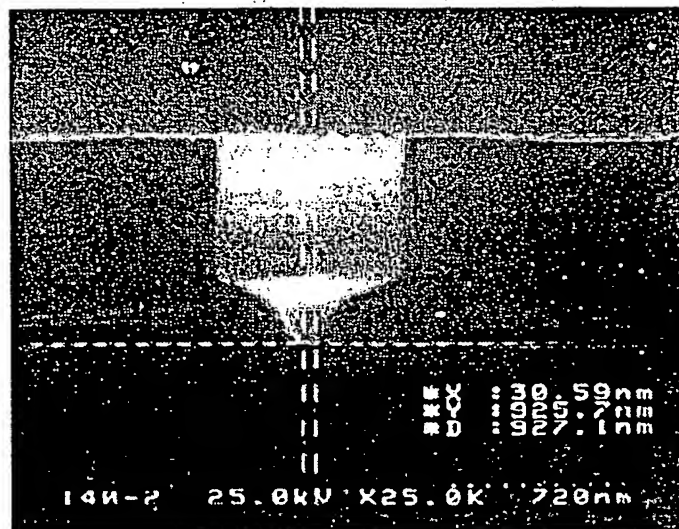
第 1 圖



第 2 圖

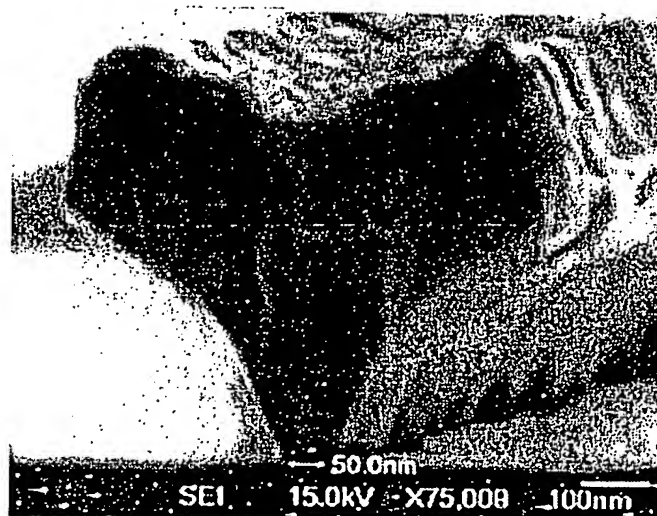


第 3 圖

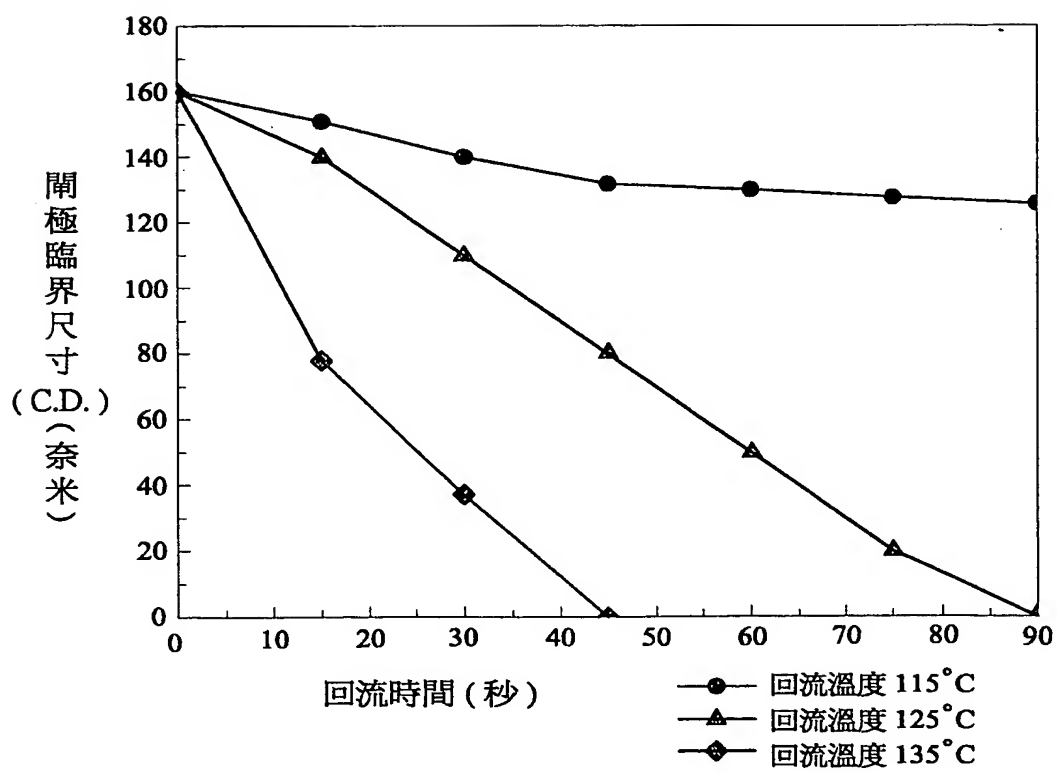


第 4 圖

BEST AVAILABLE COPY



第 5 圖



第 6 圖

BEST AVAILABLE COPY